

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **57164618 A**

(43) Date of publication of application: **09.10.82**

(51) Int. Cl
H03K 3/02
H03K 17/04
H03K 17/30

(21) Application number: **56049863**

(22) Date of filing: **01.04.81**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **INOUE MICHIRO
MATSUZAWA AKIRA**

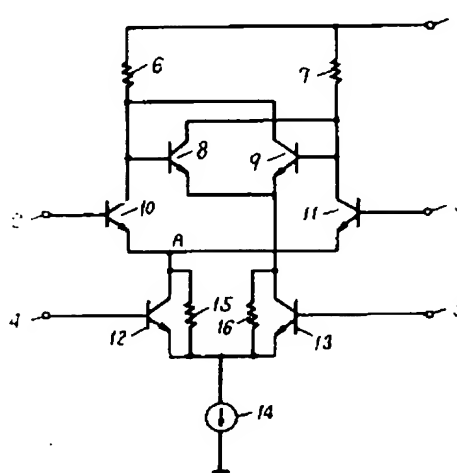
(54) **COMPARATOR CIRCUIT**

(57) Abstract:

PURPOSE: To reduce the blind sector level to make it high-precision and shorten the delay of latch release to make it high-speed, by flowing always minute currents to a pair of differential amplifying transistors TRs and a pair of latch TRs.

CONSTITUTION: A slight current is flowed to latch TRs 8 and 9 by a resistance 16 even when a switching TR 13 is turned off. Since a pair of latch TRs are a positive feedback circuit essentially, a slight positive feedback is applied to a differential amplifying circuit equivalently, and the gain is increased considerably when an input signal is minute. Consequently, the blind sector level of the whole of the comparator is reduced. A resistance 15 is provided to keep the potential of the connection point (point A) between emitters of differential amplifying TRs 10 and 11 and the collector of a TR 12 in the steady state even when the switching TR 12 is turned off, and thus, latch is released quickly.

COPYRIGHT: (C)1982,JPO&Japio



BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—164618

⑬ Int. Cl.³
H 03 K 3/02
17/04
17/30

識別記号

庁内整理番号
7631—5 J
7105—5 J
7105—5 J

⑭ 公開 昭和57年(1982)10月 9 日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ コンパレータ回路

⑯ 特 願 昭56—49863

⑰ 出 願 昭56(1981)4月1日

⑱ 発 明 者 井上道弘

門真市大字門真1006番地松下電
器産業株式会社内

⑲ 発 明 者 松沢昭

門真市大字門真1006番地松下電
器産業株式会社内

⑳ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地

㉑ 代 理 人 弁理士 中尾敏男 外1名

BEST AVAILABLE COPY

明 細 書

1、発明の名称

コンパレータ回路

2、特許請求の範囲

(1) 差動増巾トランジスタ対と、前記差動増巾トランジスタ対の出力をラッチ動作により保持するラッチトランジスタ対と、前記差動トランジスタ対と前記ラッチトランジスタ対との間で動作電流をストロープ信号によりスイッチする電流スイッチトランジスタを備え、前記差動トランジスタ対と前記ラッチトランジスタ対に常時微少電流を流すことを特徴とするコンパレータ回路。

(2) 微少電流用として電流スイッチトランジスタ対の各々トランジスタのコレクタ・エミッタ間に抵抗を並列に設けたことを特徴とする特許請求の範囲第1項に記載のコンパレータ回路。

3、発明の詳細な説明

本発明は高速のコンパレータ(比較)回路に関するもので、特にA/D変換器等に用いられるコンパレータ回路をより高速化しようとするもので

ある。

第1図に、並列型A/D変換器等に用いられる最も簡単なストロープコンパレータの従来の例を示す。

第1図において、1は電源端子で正の電圧を印加する。2および3は入力端子でA/D変換器の場合、いずれか一方にアナログ入力信号が印加され、他方に基準電圧が印加される。4、5はストロープパルス印加端子で、サンプリング速度に対応したストロープパルスを各々逆位相で印加する。6、7は負荷抵抗である。8、9はラッチトランジスタでデータをホールドする。10、11は差動増巾トランジスタで、入力信号と基準電圧との大小を比較して増巾する。12、13は電流切換え用のスイッチングトランジスタで、電流源14の電流を、ストロープパルスに応じて差動増巾トランジスタからラッチトランジスタに切換えて流す働きをする。

次に第1図のコンパレータの動作を説明する。合、端子4に“ハイ”の状態のパルスが印加され、

端子6に“ロー”の状態の脉冲が印加されていると電流源14で決められた電流 I_0 は12のトランジスタを介して差動トランジスタ10, 11を流れる。したがってこの状態の時には、入力端子2および3に印加された信号の差電圧が増巾されてトランジスタ10および11のコレクタに出力される。次に端子4, 5に印加されるストローブパルスが反転し、端子4側が“ロー”、端子5側が“ハイ”になると、電流 I_0 はラッチトランジスタ8および9側を流れ、ラッチ動作に入る。すなわち、トランジスタ10, 11のコレクタの電位が正帰還動作によりホールドされることになる。

このコンパレータを高速の並列型A/D変換器に用いるには、高精度化と高速化とが要求されるが、高精度化については入力オフセット電圧と、不感帯レベルが問題である。入力オフセット電圧は、ベースエミッタ間電圧 V_{BE} のバラツキに依存するために回路的に解決することが困難である。一方不感帯レベルは第1図の回路で I_0 を $150\mu A$

負荷抵抗を $3K\Omega$ とすると、 $500\mu V \sim 1mV$ 程度であり、入力ダイナミックレンジ $1 \sim 2V$ で10ビット程度の分解能のA/D変換器を構成しようとする、 $\frac{1}{2} \sim 1LSB$ に不感帯レベルが近づいてしまうことになる。

これを改善するには、差動増巾回路の利得を上げればよいが、消費電流を増加させたり、負荷抵抗を増すことによるスピードの低下をきたすために好ましくない。

他方高速化については、このような回路ではラッチ状態から解除される時の遅延時間が問題となる。この遅延時間は差動トランジスタ10, 11のベース・コレクタ間容量に依存する。したがって V_{BE} のバラツキを押えるためにトランジスタの面積を大きくすると遅延時間は増大する。

つまり従来のコンパレータにおいては、高精度化と高速化とは矛盾する関係にあり、このどちらも改善するコンパレータが期待されているわけである。

したがって本発明はコンパレータにおいて、前

述の高精度化と高速化とを同時に達成しようとするものである。第2図に本発明の実施例を示し、この実施例に基づいて説明する。

第2図において、1～14までは第1図のそれらと同一の構成要素である。15は差動増巾トランジスタ10, 11に常時電流を流すための抵抗、16はラッチトランジスタ8, 9側に常時電流を流すための抵抗である。つまり第2図の実施例の動作は、第1図の従来例と基本的に異なるところは、第1図の例においては、差動増巾トランジスタ10, 11側とラッチトランジスタ8, 9側とに完全に電流を切換えて、比較動作とサンプルホールド動作を繰り返していた点が、本実施例では、抵抗15, 16とによって差動増巾トランジスタ10, 11にもラッチトランジスタ8, 9にも常時電流が流れている点である。

まず抵抗16により、トランジスタ13がオフの間にもラッチトランジスタ8, 9に若干の電流が流れる。ラッチトランジスタ対は本来正帰還回路であるから、差動増巾回路にわずかの正帰還

がかかったことになり、入出力特性は第3図のBに示すように入力信号が微少な時は利得が大巾に増大する。この第3図においてAは従来のコンパレータの場合である。すなわちAの場合には出力信号 V_{out} がラッチ回路の不感帯レベルを越えるのに必要な V_{in} が大きいのに対し、Bの場合には見かけ上の利得を増大させているのでわずかの入力信号でよいことになり、コンパレータ全体の不感帯レベルを小さくすることができる。

次に抵抗15の効用について述べる。今度はトランジスタ13がオン、トランジスタ12がオフの状態を考える。この時は、コンパレータ全体はラッチモードに入っており、トランジスタ8, 9によって状態が保持されている。この状態から、端子4, 5へ印加するクロックパルスの極性が反転し、トランジスタ12がオン、トランジスタ13がオフの状態へ移行することにより、ラッチが解除されるが、ラッチの期間トランジスタ12が完全にオフの状態では、トランジスタ2とトランジスタ3のエミッタとトランジスタ12のコレクタ

との接続点(A点)の電位が定まらず、電荷がたまった状態になっている。したがって、トランジスタ12がオンになっても、A点の電位が定常状態になり、完全にラッチが解除するまでに遅れが生じることになる。しかるに抵抗15を設けることにより、トランジスタ12がオフの時でもA点の電位は定常状態にしておくことができ、ラッチの解除をすみやかに行うことが可能となる。

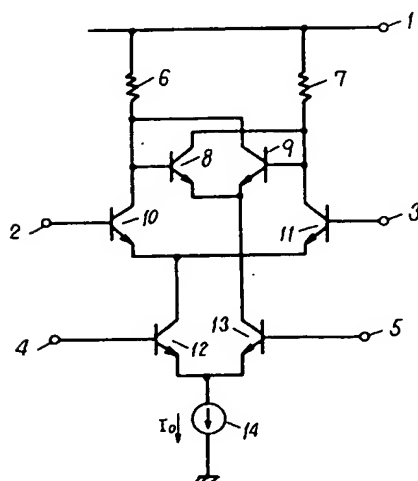
ここで抵抗15および16に流す電流は定電流源14で流す全電流の10～20%程度が適当である。

以上本発明によれば、不感帯レベルを小さくし高精度化し、ガフラッチ解除の遅れを短くすることにより高速化をはかったコンパレータを容易に構成することができる。

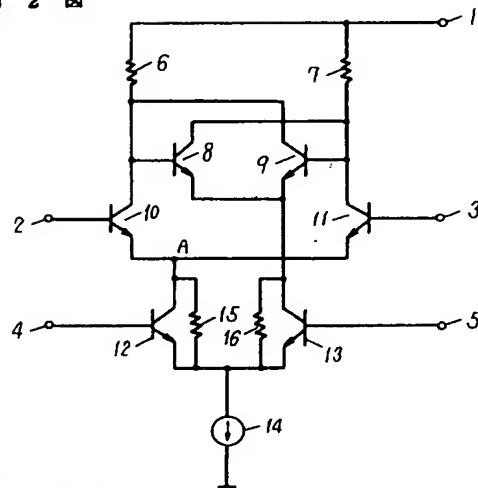
4、図面の簡単な説明

第1図は従来のコンパレータを示す回路図、第2図は本発明のコンパレータの一実施例を示す回路図、第3図は本発明のコンパレータの効果を説明する図である。

第1図



第2図



第3図

